

PAT-NO: JP411178349A

DOCUMENT-IDENTIFIER: JP 11178349 A

TITLE: PULSE WIDTH MODULATION CONTROL DEVICE

PUBN-DATE: July 2, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
SHIMADA, YASUO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP09334523

APPL-DATE: December 4, 1997

INT-CL (IPC): H02M007/48, H02M003/00 , H03M009/00

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a pulse width modulation control device capable of reducing the number of signal transmission lines for transferring a gate signal.

SOLUTION: A pulse width modulation control device is provided with a parallel - series conversion circuit 12 for converting a plurality of gate signals that are subjected to pulse width modulation generated based on an output instruction to a series data signal, signal transmission lines C1 and C2 for transmitting a series gate signal that is outputted from the parallel - series conversion circuit 12 and a synchronizing clock signal that is synchronized to it, a series - parallel conversion circuit 14 for converting a series gate signal that is transmitted via the signal transmission line to a parallel gate signal that is synchronized to the clock signal, and organization circuits 15 and 16 for organizing a parallel gate signal that is outputted from the series - parallel conversion circuit 14 to a gate signal for each switching element.

COPYRIGHT: (C)1999,JPO

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-178349

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

H02M 7/48

H02M 3/00

H03M 9/00

(21)Application number : 09-334523

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 04.12.1997

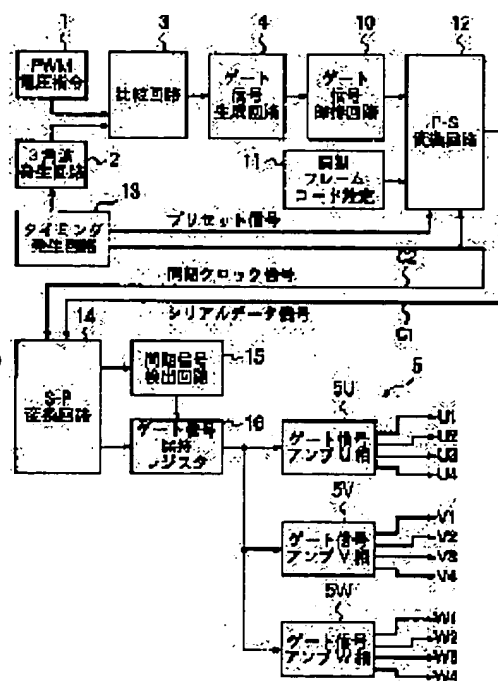
(72)Inventor : SHIMADA YASUO

(54) PULSE WIDTH MODULATION CONTROL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pulse width modulation control device capable of reducing the number of signal transmission lines for transferring a gate signal.

SOLUTION: A pulse width modulation control device is provided with a parallel - series conversion circuit 12 for converting a plurality of gate signals that are subjected to pulse width modulation generated based on an output instruction to a series data signal, signal transmission lines C1 and C2 for transmitting a series gate signal that is outputted from the parallel - series conversion circuit 12 and a synchronizing clock signal that is synchronized to it, a series - parallel conversion circuit 14 for converting a series gate signal that is transmitted via the signal transmission line to a parallel gate signal that is synchronized to the clock signal, and organization circuits 15 and 16 for organizing a parallel gate signal that is outputted from the series - parallel conversion circuit 14 to a gate signal for each switching element.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-178349

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁴

識別記号

P I

H 0 2 M 7/48

H 0 2 M 7/48

F

3/00

3/00

P

H 0 3 M 9/00

H 0 3 M 9/00

A

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平9-334523

(22) 出願日 平成9年(1997)12月4日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 島田 安雄

東京都府中市東芝町1番地 株式会社東芝

府中工場内

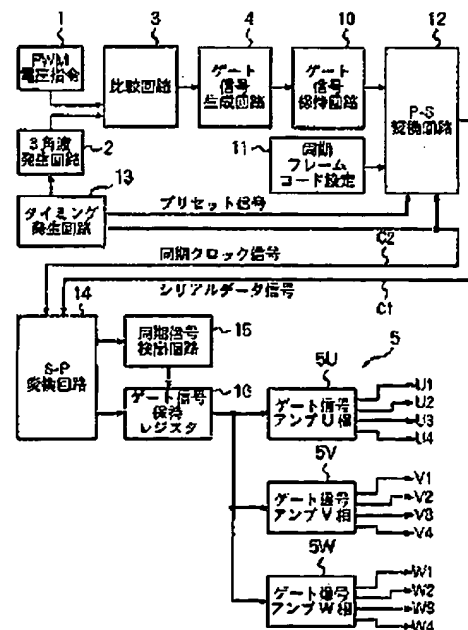
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 パルス幅変調制御装置

(57) 【要約】

【課題】 ゲート信号伝送用の信号伝送線の数を減少させ得るパルス幅変調制御装置を提供すること。

【解決手段】 ここで提案するパルス幅変調制御装置は、出力指令に基づいて生成されたパルス幅変調された複数のゲート信号を直列データ信号に変換する並列-直列変換回路12と、この並列-直列変換回路12から出力される直列ゲート信号及びこれに同期した同期クロック信号を送信側から受信側へと伝送する信号伝送線C1、C2と、この信号伝送線を介して伝送された直列ゲート信号をクロック信号と同期する並列ゲート信号に変換する直列-並列変換回路14と、この直列-並列変換回路14から出力される並列ゲート信号を各スイッチング素子用のゲート信号に編成する編成回路15、16、5とを具備したものである。



(2)

特開平11-178349

1

【特許請求の範囲】

【請求項1】電力変換装置を構成する複数のスイッチング素子をパルス幅変調制御するパルス幅変調制御装置において、出力指令に基づいて生成されるパルス幅変調された複数の並列ゲート信号を直列ゲート信号に変換する並列-直列変換回路と、この並列-直列変換回路から出力される直列ゲート信号及びこれに同期した同期クロック信号を送信側から受信側へと伝送する信号伝送線と、この信号伝送線を介して伝送された直列ゲート信号を前記クロック信号と同期する並列ゲート信号に変換する直列-並列変換回路と、この直列-並列変換回路から出力される並列ゲート信号を各スイッチング素子用のゲート信号に編成する編成回路とを具備したことを特徴とするパルス幅変調制御装置。

【請求項2】請求項1に記載のパルス幅変調制御装置において、前記直列-並列変換回路及び前記編成回路が各相毎に別個に設けられ、これら各相毎に設けられた直列-並列変換回路及び編成回路が前記信号伝送線を介して伝送された直列ゲート信号を並列に受信し、その受信した直列ゲート信号を各相毎に信号処理して自己相のゲート信号を再生することを特徴とするパルス幅変調制御装置。

【請求項3】請求項1に記載のパルス幅変調制御装置において、前記直列-並列変換回路及び前記編成回路が各相毎に別個に設けられ、前記信号伝送線を介して伝送された直列ゲート信号を前記各相毎に設けられた直列-並列変換回路に直列に伝送し、各相毎に信号処理して自己相のゲート信号を再生することを特徴とするパルス幅変調制御装置。

【請求項4】請求項3に記載のパルス幅変調制御装置において、前記送信側にてデータ比較回路及び直列-並列変換回路が備えられ、前記信号伝送線を介して伝送された前記直列ゲート信号を前記受信側にて各相毎に設けられた複数の直列-並列変換回路を通流させた後、前記送信側に設けられた直列-並列変換回路に帰還し、この直列-並列変換回路に帰還され並列信号に変換されたゲート信号を前記データ比較回路が前記送信側でもともと生成されたゲート信号と比較し、両者が一致するかどうかをチェックすることを特徴とするパルス幅変調制御装置。

【請求項5】請求項1に記載のパルス幅変調制御装置において、前記信号伝送線を介して伝送される前記直列データ信号の伝送フレームにゲート信号の誤りを検出するためのゲート信号誤り検出フレームを付加したことを特徴とするパルス幅変調制御装置。

【請求項6】請求項3に記載のパルス幅変調制御装置において、前記信号伝送線を介して伝送される前記直列データ信号の伝送フレームにゲート信号の誤りを検出するためのゲート信号誤り検出フレームを各相毎に付加したことを特徴とするパルス幅変調制御装置。

【請求項7】請求項1ないし6のいずれかに記載のパル

2

ス幅変調制御装置において、前記ゲート信号がコード化されていることを特徴とするパルス幅変調制御装置。

【請求項8】請求項1ないし6のいずれかに記載のパルス幅変調制御装置において、前記受信側にゲート信号異常をチェックするゲート信号異常チェック回路を備えたことを特徴とするパルス幅変調制御装置。

【請求項9】請求項4に記載のパルス幅変調制御装置において、前記帰還ゲート信号を前記受信側の出力段に設けられたゲート信号アンプの出力から形成する回路手段を設けたことを特徴とするパルス幅変調制御装置。

【請求項10】請求項1ないし9のいずれかに記載のパルス幅変調制御装置において、前記ゲート信号及び前記クロック信号を重畳し1本の信号伝送線で伝送することを特徴とするパルス幅変調制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力変換装置を構成する複数のスイッチング素子をパルス幅変調制御するパルス幅変調制御装置に関する。

【0002】

【従来の技術】直流電力を可変電圧・可変周波数の交流電力に変換するインバータ装置や交流電力を直流電力に変換するコンバータ装置において、誘導電動機などの負荷の駆動のために、ゲートターンオフサイリスタ(GTO)やバイポーラ型MOS FET (IGBT)などのパワースwitching素子を用いて電力変換回路を構成し、それらの素子をパルス幅変調(PWM)制御することによって可変周波数・可変電圧の出力制御を行ったり、その逆変換を行ったりすることは一般に知られているところである。

【0003】図17は周知のパルス幅変調制御装置の構成を示すものである。可変電圧を指令するPWM電圧指令回路1、及び可変周波数に相当する三角波のPWM周波数信号を発生する三角波発生回路2の各出力信号を比較回路3に入力する。比較回路3は入力されたPWM電圧指令と三角波PWM周波数信号とを比較し、その比較結果として“0”又は“1”の論理信号に変換し、それをゲート信号生成回路4に入力する。ゲート信号生成回路4は入力された0/1の比較信号に基づいてPWMゲート信号を生成する回路であって、接続される負荷の相数や仕様に応じて例えば3相の2レベルゲート信号や3レベルゲート信号を出力する。このゲート信号はゲート信号アンプ5により、パワースwitching素子を駆動し得るレベルに増幅されて3相ブリッジ形インバータ6に加えられる。インバータ6は図示していない直流電源からの直流電力をPWM変調された3相交流に変換し、それにより図示していない例えば3相誘導電動機を可変速駆動する。

【0004】図18は図17のゲート信号生成回路4以下の回路部分の詳細構成を示すものである。ゲート信号

(3)

特開平11-178349

3

生成回路4及びゲート信号アンプ5はU、V、W各相毎に設けられており、したがって、ゲート信号生成回路4はU相ゲート信号生成回路4U、V相ゲート信号生成回路4V、及びW相ゲート信号生成回路4Wからなり、ゲート信号アンプ5も同様に各相毎のゲート信号アンプ5U、5V、5Wからなっている。後述のごとくインバータ6が各相毎に4組のスイッチング素子を備えているのに対応して、ゲート信号生成回路4U、4V、4Wは各スイッチング素子毎に4つのゲート信号を生成し、それに対応してゲート信号アンプ5U、5V、5Wとの間を

10 各相毎に4本の信号伝送線によって接続している。
 【0005】インバータ6は一例として3レベル3相ブリッジインバータが示されており、直流電源端子P、N間に直列接続の2組のコンデンサCP、CNを備え、その中間接続点が後述の各相アームに接続された2組のダイオードの各中間接続点に接続される。U、V、W各相のアームは直流電源端子P、N間にそれぞれ直列に接続された4組のスイッチング素子、すなわちU相アームはスイッチング素子U1～U4、V相アームはスイッチング素子V1～V4、W相アームはスイッチング素子W1～W4からなっている。素子U1、U2の接続点と素子U3、U4の接続点との間に直列接続の2組のダイオードUP、UNが直流電源に対し逆極性にして接続され、同様に、素子V1、V2の接続点と素子V3、V4の接続点との間にダイオードVP、VNが接続され、素子W1、W2の接続点と素子W3、W4の接続点との間にダイオードWP、WNが接続されている。各相アームの中間接続点、すなわち素子U2、U3の接続点、素子V2、V3の接続点、及び素子W2、U3の接続点から3相交流端子U、V、Wが導出されている。すでに述べたように、コンデンサCP、CNの共通接続点が、各相ダイオードの共通接続点、すなわちダイオードUP、UNの接続点、ダイオードVP、VNの接続点、及びダイオードWP、WNの接続点にそれぞれ接続されている。

【0006】図19を参照してゲート信号の発生過程について説明する。(a)の正弦波はPWM電圧指令回路1から指令されるPWM電圧指令を示し、同図中の三角波は3角波発生回路2によって発生される信号であり、実線及び破線は周波数に対応する反転関係にあるキャリア信号である。(b)では比較回路3において正弦波が実線の3角波キャリアより小さいとき“0”、大きい時“1”になるPWM信号を発生し、(c)では正弦波が破線の3角波キャリアより小さい時“0”、大きい時“1”になるPWM信号を発生する。(d)はゲート信号発生回路4Uによって発生されるU相アームの第1のスイッチング素子U1用のゲート信号を示すものであって、(b)信号が“1”で、かつ、(c)信号が“1”のとき“1”(オン)になるPWM信号である。(e)は第2のスイッチング素子U2用のゲート信号であって、第4のスイッチング素子U4用のゲート信号の反転

4

信号に相当する。(f)は第3の素子U3用のゲート信号であって、(d)に示す第1のゲート信号の反転信号に相当する。(g)は第4の素子用のゲート信号であって、(b)信号が“0”で、かつ、(c)信号が“0”のとき“1”になるPWM信号である。

【0007】以上はU相素子のためのゲート信号生成過程についての説明であるが、V相及びW相の素子のためのゲート信号も上記に準じて相互に所定の位相差をもって生成される。

10 【0008】以上のようにして生成されるゲート信号により素子U1～U4をゲート制御することによって、インバータ6のU相には図19(h)に示すようなPWM交流電圧が発生する。この波形に従って素子U1、U2がオンすると、正電圧が発生し、U2、U3がオンすると“0”電圧が、U3、U4がオンすると負電圧が発生し、これ以外のモードは無いことが分かる。

【0009】以上、U相について説明したが、V、W相は位相がU相から120°ずれたタイミング関係をもって動作するだけで、動作の内容はU相と同一である。

20 【0010】

【発明が解決しようとする課題】以上説明したようにゲート信号生成回路4とゲート信号アンプ5の接続には、単相2レベルインバータで4本、3相2レベルインバータで6本、単相3レベルインバータで8本、3相3レベルインバータで12本のゲート信号伝送線が必要であり、例えば車両に搭載されるインバータなど、一般に大容量インバータでは、主回路がノイズ発生源となり得るので、ゲート信号の伝送に電磁ノイズの影響を受けない光ケーブルを用いたりして制御回路にノイズの影響が無いように電気的に絶縁する。またゲート信号ケーブルにノイズの影響のない光ケーブルが使用される。シールドケーブルを適用した場合は、フォトリソで絶縁する。このような適用システムにおいてゲート信号が多くなった場合、配線を間違えるとパワー素子を破壊する等、取り扱いも難しく、高価な光ケーブルやシールドケーブルを多用する必要が出てきて、回路も大型になる。

30 【0011】本発明はこのような従来技術の問題点を考慮してなされたものであって、ゲート信号の並列出力数またはゲート信号伝送用の信号伝送線を減少させ得るパルス幅変調制御装置を提供することを目的とする。

40 【0012】

【課題を解決するための手段】請求項1に係る発明は、電力変換装置を構成する複数のスイッチング素子をパルス幅変調制御するパルス幅変調制御装置において、出力指令に基づいて生成されパルス幅変調された複数の並列ゲート信号を直列ゲート信号に変換する並列-直列変換回路と、この並列-直列変換回路から出力される直列ゲート信号及びこれに同期した同期クロック信号を送信側から受信側へと伝送する信号伝送線と、この信号伝送線を介して伝送された直列ゲート信号をクロック信号と同

斯する並列ゲート信号に変換する直列-並列変換回路と、この直列-並列変換回路から出力される並列ゲート信号を各スイッチング素子用のゲート信号に編成する編成回路とを具備したことを特徴とするものである。

【0013】請求項2に係る発明は、請求項1に記載のパルス幅変調制御装置において、直列-並列変換回路及び編成回路が各相毎に別個に設けられ、これら各相毎に設けられた直列-並列変換回路及び編成回路が信号伝送線を介して伝送された直列ゲート信号を並列に受信し、その受信した直列ゲート信号を各相毎に信号処理して自己相のゲート信号を再生することを特徴とするものである。

【0014】請求項3に係る発明は、請求項1に記載のパルス幅変調制御装置において、直列-並列変換回路及び編成回路が各相毎に別個に設けられ、信号伝送線を介して伝送された直列ゲート信号を各相毎に設けられた直列-並列変換回路に直列に伝送し、各相毎に信号処理して自己相のゲート信号を再生することを特徴とするものである。

【0015】請求項4に係る発明は、請求項3に記載のパルス幅変調制御装置において、送信側にデータ比較回路及び直列-並列変換回路が備えられ、信号伝送線を介して伝送された直列ゲート信号を受信側に各相毎に設けられた複数の直列-並列変換回路を通過させた後、送信側に設けられた直列-並列変換回路に帰還し、この直列-並列変換回路に帰還され並列信号に変換されたゲート信号をデータ比較回路が送信側でもともと生成されたゲート信号と比較し、両者が一致するかどうかをチェックすることを特徴とするものである。

【0016】請求項5に係る発明は、請求項1に記載のパルス幅変調制御装置において、信号伝送線を介して伝送される直列データ信号の伝送フレームにゲート信号の誤りを検出するためのゲート信号誤り検出フレームを付加したことを特徴とするものである。

【0017】請求項6に係る発明は、請求項3に記載のパルス幅変調制御装置において、信号伝送線を介して伝送される直列データ信号の伝送フレームにゲート信号の誤りを検出するためのゲート信号誤り検出フレームを各相毎に付加したことを特徴とするものである。

【0018】請求項7に係る発明は、請求項1ないし6のいずれかに記載のパルス幅変調制御装置において、ゲート信号がコード化されていることを特徴とするものである。

【0019】請求項8に係る発明は、請求項1ないし6のいずれかに記載のパルス幅変調制御装置において、受信側にゲート信号異常をチェックするゲート信号異常チェック回路を備えたことを特徴とするものである。

【0020】請求項9に係る発明は、請求項4に記載のパルス幅変調制御装置において、帰還ゲート信号を受信側の出力段に設けられたゲート信号アンプの出力から形

成する回路手段を設けたことを特徴とするものである。

【0021】請求項10に係る発明は、請求項1ないし9のいずれかに記載のパルス幅変調制御装置において、ゲート信号及びクロック信号を重畳し1本の信号伝送線で伝送することを特徴とするものである。

【0022】

【発明の実施の形態】以下、発明の実施の形態について説明する。図1は請求項1に係る発明の実施の形態を示すものである。PWM電圧指令回路1、三角波発生回路2、比較回路3、及びゲート信号生成回路4により、可変電圧・可変周波数の交流電圧を発生するためのゲート信号を生成するところまでは、図20以下を参照して説明した従来の回路と同様である。ゲート信号生成回路4によって生成されたゲート信号はゲート信号保持回路10によって、ゲート信号の送信完了まで一時保持される。ゲート信号保持回路10の出力側に並列-直列変換（以下、「P-S変換」という）回路12が設けられており、ここでゲート信号の並列-直列変換が行われる。P-S変換回路12には同期フレームコード設定器11も接続されており、この同期フレームコード設定器11により個々のゲート信号データの前にフレーム同期させるための同期フレームコードが設定される。

【0023】P-S変換回路12はP-S変換のためにシフトレジスタを内蔵しており、同期フレームコード設定器11によって設定された同期フレームコードとゲート信号保持回路10からのゲート信号保持信号データを、タイミング発生回路13で発生されたプリセット信号に基づいてシフトレジスタにデータを取り込む。タイミング発生回路13は同期クロック信号をも発生し、送信クロックに同期させ直列出力するシフトレジスタに接続される。P-S変換回路12から出力される直列ゲート信号及びタイミング発生回路13から出力される同期クロック信号はそれぞれ信号伝送線C1、C2を介して送信側から受信側へと伝送される。P-S変換回路12から出力された直列ゲート信号データは直列-並列変換（以下、「S-P変換」という）回路14において同期クロック信号に同期して内蔵のシフトレジスタに取り込まれ、ここでS-P変換が行われる。このとき、S-P変換回路14で受信した同期フレームコードのタイミングを同期信号検出回路15によって検出しラッチタイミング信号をゲート信号保持レジスタ16に送出する。ゲート信号保持レジスタ16はそのラッチタイミング信号に基づき、S-P変換回路14から出力される並列化されたゲート信号を保持し、各相のゲート信号を各相別のゲート信号アンプ5U、5V、5Wに分配する。ここで、S-P変換回路14の出力側に設けられている同期信号検出回路15及びゲート信号保持レジスタ16は請求項1にいう編成回路を構成する。ゲート信号アンプ5U～5Wはそれぞれ各相別にインバータ6の各相アームのスイッチング素子U1～U4、V1～V4、W1～W

4をゲート制御する。

【0024】図2は、図1におけるゲート信号生成回路4からゲート信号保持レジスタ16に至る装置部分のより詳細な回路構成を示すものである。図1のP-S変換回路12は、ここでは2組のシフトレジスタ12a、12b及びORゲート12cによって構成されている。タイミング発生回路13は、狭義のタイミング発生回路13a及び切換回路13bからなっており、ラッチ信号、プリセット信号、及びシフト用クロック信号を発生する。S-P変換回路14は、2組のシフトレジスタ14a、14bによって構成され、同期信号検出回路15は、フレームコード検出回路15a、R/Sフリップフロップ15b、及びデータカウンタ15cからなっている。

【0025】ゲート信号生成回路4で生成されたゲート信号は、タイミング発生回路13aから出力されるラッチ信号によりゲート信号保持回路10に保持される。この保持されたゲート信号は図示しないパリティ生成回路やビットカウント回路に使用される。タイミング発生回路13により発生されるプリセット信号によりシフトレジスタ12bにゲート信号を設定する。同期フレームコードの8ビットが送出完了するとクロック信号が切換回路13bによりシフトレジスタ12aに切換えられ、同期フレームコード設定器11で設定された同期フレームコードに続いてゲート信号が送出される。2つのシフトレジスタ12a、12bの出力がORゲート12cを介してOR合成され、1本のシリアルデータ信号に集約されてS-P変換回路14に送出される。

【0026】S-P変換回路14においては、P-S変換回路12から送られてきたゲートデータ信号とタイミング発生回路13から送られてきたクロック信号を受信し、シフトレジスタ14aに入力された8ビットのゲート信号データは随時同期フレームコードとフレームコード検出回路15aでチェックされ、両者が一致したらR/Sフリップフロップ15bをセットし、データカウンタ15cを起動するとともにデータ用のシフトレジスタ14bのシフト入力を許可する。データカウンタ15cがゲート信号のデータ数だけ計数したらR/Sフリップフロップ15bをリセットし、シフトレジスタ14bのシフト入力を禁止するとともにゲート信号保持レジスタ16にデータをプリセットする。

【0027】図3(a)～(n)は以上の説明のタイムチャートであって、上記説明の処理が一定周期で繰り返される。すなわち、動作フェーズとして、フレーム送出期間Aとゲートデータ送出期間Bの2つのフェーズを設け(a)、送信側ではフレーム送出期間A中にPWM比較(b)、ゲート信号生成ラッチ(c)、さらにはパリティやビットカウントなどのデータチェック(d)、シフトレジスタ12aへのプリセット(e)を行い、クロック切換(f)に従って同期フレームデータ(g)がバ

イライン制御をする。同期フレームデータ送信が完了すると、シフトレジスタ12bのクロックをゲートデータのシフトレジスタ12a側に切換えてゲート信号データ(h)を送出する。

【0028】他方、受信側では、シフトレジスタ14aでフレームデータ(g)を受信し、クロック信号(i)に同期してフレームコードを検出する(k)と、ゲート信号データをカウントするデータカウンタ15cが起動し(l)、同時にゲート信号データを受信するシフトレジスタ14bを許可するR/Sフリップフロップ15bがセットし許可すると、ゲート信号データは、シフトレジスタ14bに予め設定された数のゲート信号データが入力されるとR/Sフリップフロップ15bがリセットされ、シフトレジスタ14bは停止され(m)、ゲート信号保持レジスタ16にゲート信号データをプリセットする(n)。

【0029】図3のタイムチャートにおいて、動作周期がゲート信号のPWM波形の精度に関係するので一考すると、伝送速度1Mbpsで、同期フレーム8ビットにゲート信号データ12ビットの20ビットを単位として伝送するとすれば、ゲート信号の更新周期は20μsになる。IGBTなどのスイッチング素子のキャリアの最大周波数が2kHzであるとする、500μsでこのキャリア周波数を25倍の分解能でゲート信号が更新されるため充分実用性のあるものである。

【0030】図1～3を参照して述べた請求項1に係る発明の実施の態様によれば、複数のゲート信号を、クロック信号線とゲート信号線の2本の信号伝送線で伝送するため配線を簡素化することができる。

【0031】図4は請求項2に係る発明の実施の形態を示すものである。図4の装置は、ゲート信号アンプ5U、5V、5WがU、V、W各相毎に分散配置された場合に好適な実施の形態を示すものである。送信側P-S変換回路12から送信されるゲート信号及びクロック信号を、各相毎に分割して設けられた3組のS-P変換回路14a、14b、14cで並列に同時受信し、各相のS-P変換回路が受信信号の中から自己相のゲート信号を抽出・生成するものである。この実施の形態では、各相毎にS-P変換回路14a、14b、14cを制御するので、同期信号検出回路15及びゲート信号保持レジスタ16も各相毎に同期信号検出回路15U、15V、15W及びゲート信号保持レジスタ16U、16V、16Wに分割されている。ゲート信号保持レジスタ16U、16V、16Wの出力端が各相毎にゲート信号アンプ5U、5V、5Wに接続されている。原理的には、すでに述べた図1～図3の実施の形態と同様である。なお、この実施の形態においては、ゲート信号とクロック信号を別々の信号伝送線で伝送するものとして図示されている。しかし、両信号伝送線C1、C2をバス並列接続として単一の信号伝送線として信号伝送をすることも

できる。

【0032】図4に示す請求項2に係る発明の実施の態様によれば、ゲート信号アンパ5がU、V、W各相毎に分散配置され、送信回路から送信されるゲート信号とクロック信号を各相で並列に同時受信し、その受信信号の中から自己相のゲート信号を抽出・生成する。したがって、ゲート信号伝送線とクロック信号伝送線を各相でバス並列接続とすることができ、信号伝送線の減少を達成することができる。

【0033】図5は請求項3に係る発明の実施の形態を示すものである。図5の装置においては、ゲート信号アンパ5U、5V、5WがU、V、W各相毎に分散配置された場合に、送信側のP-S変換回路12から送信されるゲート信号及びクロック信号が、各相のS-P変換回路14U、14V、14W（のシフトレジスタ）にシフトイン・シフトアウトになるように直列接続したもので、各相のS-P変換回路はシリアル伝送されるゲート信号の中から自己相のゲート信号を抽出・生成するものである。本実施の形態ではゲート信号及びクロック信号がそれぞれ各相のS-P変換回路を直列に通り、光ケーブルなど各相毎に分岐し難いシステムに向いている。

【0034】図5に示した請求項3に係る発明の実施の態様によれば、ゲート信号アンパがU、V、W各相毎に分散配置された場合に、送信回路から送信されるゲート信号と各相のシフトレジスタにシフトイン/シフトアウトになるように直列接続することにより、各相共通の直列伝送信号から自己相のゲート信号を抽出・生成する。したがって、光ケーブルなどの分岐し難いシステムに好適なパルス幅変調制御装置を提供することができる。

【0035】図6は請求項4に係る発明の実施の形態を示すものである。請求項3の発明においてP-S変換回路12から送信されてきたゲート信号及びクロック信号をS-P変換回路以下の受信回路において、各相毎に設けられたS-P変換回路14U、14V、14Wを直列に通したあと、直列帰還信号として再び送信回路側に帰還し、付加的に設けられたS-P変換回路40において並列信号に変換し、これをゲート信号生成回路4で生成した当初のゲート信号とデータ比較回路41において比較し、両者が一致しているか否かを確信する。比較の結果、不一致の場合は不一致信号を出力し、たとえば比較回路3において全ゲートオフなどの保護対策をとる。この実施の形態では、送信データが途中で壊れていないかどうかをチェックし、データの信頼性を向上させることができる。

【0036】図6に示す請求項4に係る発明の実施の態様によれば、図5に示した請求項3に係る発明において、送信回路から送信されるゲート信号、クロック信号を各相のシフトレジスタを直列接続したあと送信回路に帰還し、それをもととの送信データとが一致しているか否かを比較する比較回路を設け、不一致の場合は、た

えば全ゲートオフするなどの保護対策に用いるものとする。したがって、送信データが途中で壊れていないかチェックすることができ、受信側の受信データの信頼性を向上させることができる。

【0037】図7及び図8（a）ないし（c）は請求項5に係る発明の実施の形態を説明するものである。請求項1ないし4に係る発明においてデータの誤り検出のために、図8（a）に示すような一連の基本ゲート信号U1～W4を送信する伝送フレーム上に、同図（b）に示すようにパリティビットPを付加したり、同図（c）に示すようにデータ値“1”のデータ数をカウントするビットカウントC0～C3を付加したりして、データの誤りが受信回路側で検出されたらデータが異常受信されたものと判断し、ゲート信号の更新をせずに前回のデータを使うなどの対策を講ずる。本実施の形態では異常ゲート信号の受信を受信回路側でするため、異常時の処理を迅速にし、システムの信頼性を向上させることができる。

【0038】請求項5に係る発明の実施の態様によれば、図7及び図8の（b）、（c）において、請求項1ないし4に係る発明においてデータの誤り検出のために、パリティビットやビットカウント（データ1の数をカウント）などを伝送フレーム上に付加し、データの誤りが受信回路で検出されたらゲート信号データが異常受信されたものと判断し、ゲート信号の更新をせずに前回のデータを使うなどの処理を行う。したがって、異常ゲート信号の受信を受信側で判断するため異常時の処理を迅速に行い、システムの信頼性を向上させることができる。

【0039】図9は請求項6に係る発明の実施の形態を示すものである。図9に示したように、S-P変換回路14a～14c以下の受信回路が各相毎に分散配置されている場合、各相毎に受信ゲート信号のパリティチェックを行うパリティチェック回路53a、53b、53cを設け、図8（d）に示すように各ゲート信号を送信する伝送フレーム上に各相毎にパリティビットP1、P2、P3を付加してパリティチェックを行う。この実施の形態によれば、データの誤り検出を各相毎のゲート信号データに対して行うことによって、誤データ相のみに対して更新処理をしないようにするものである。

【0040】図9に示す請求項6に係る発明の実施の態様によれば、請求項5に係る発明において、データの誤り検出データを各相毎のゲート信号データに付加することによって、誤りを生じた相のゲート信号データのみを更新しないようにし、信号処理を簡素化することができる。

【0041】図10は請求項7に係る発明の実施の形態を説明するものである。この実施の形態は、請求項1ないし6に係る発明においてゲート信号をコード化してデータの圧縮化を図ったものである。図18に示す3レベ

ル3相インバータの場合、たとえばU相の4組のスイッチング素子U1～U4のスイッチングに関するオン/オフの組合せは、“0110”と“1100”と“0011”の3種類しか存在しない。そこで、これらをそれぞれ“0”電圧、“P”電圧、“N”電圧というコード化データに対応させる。

【0042】図11はU相スイッチング素子U1～U4の3レベル制御におけるゲート信号を説明する図である。3レベル制御の場合、基本的には各スイッチング素子を別々のゲート信号で制御する。しかし、ゲート信号のパターンは、ゲートオフに相当する0電圧は“0110”、+電圧(P)は“1100”、-電圧(N)は“0011”という3種類のパターンしか持っていない。運転準備中や異常検出時などは全ゲートオフ“0000”とするので、これを加えても全部で4パターンしか存在しない。この4パターンを“0, 1, 2, 3”とすると、これを2ビットでコード化して“00, 01, 10, 11”と表現することができる。かくして各相ゲート信号は、いままで述べてきた4ビット信号に代わって、図12に示すように、各相2ビット、すなわちU相はUd, Uu, V相はVd, Vu, W相はWd, Wuの各2ビットで足りることになる。

【0043】図10～12に示す請求項7に係る発明の実施の態様によれば、図1ないし図9に示す請求項1ないし6に係る発明において、ゲート信号をコード化してデータを圧縮することにより、4ビットのゲート信号データを2ビットに圧縮して伝送することができ、ここにデータ長の短縮を図り、伝送サイクルの高速化を達成することができる。

【0044】図13は請求項8に係る発明の実施の形態を示すものである。請求項1ないし6において受信側に各相毎に受信ゲート信号の異常をチェックするゲート信号異常チェック回路80U, 80V, 80Wを付加したものである。このゲート信号異常チェック回路は、ゲート信号など0電圧(0110)、+電圧(1100)、-電圧(0011)、全ゲートオフ(0000)以外のパターンのゲート信号ではインバータ6のパワースwitching素子を破壊する原因になるため、上記4パターンのゲート信号以外は異常であるものとして、ゲート信号の更新をしないようにするものである。

【0045】図13に示す請求項8に係る発明の実施の態様によれば、請求項1ないし6において、ゲート信号異常チェック回路を付加することにより、できるかぎりの素子破壊の防止を図ることができる。

【0046】図14は請求項9に係る発明の実施の形態を示すものである。この実施の形態では、図6においてS-P変換回路14Wから得た帰還ゲート信号を、ゲート信号アンプ5Uの出力端から得るものである。この実施の形態はゲート信号アンプの出力信号を監視し、この信号をゲート帰還インターフェース92でゲート信号ア

ンプ出力をロジックレベルに逆変換し、ゲート帰還レジスタ93で一時ゲート帰還データを保持し、P-S変換回路94で並列データを直列データに変換し、送信回路に帰還させる。送信回路では前回送信したゲート信号を一時バッファに保持しておき、ゲート帰還信号をS-P変換回路90で受信した信号をS-P変換回路90で並列データに変換し、それをゲート信号保持回路10に保持されたゲート信号と比較回路91で比較し、ゲート信号の最終回路で異常がないか否かを監視する。ゲート信号アンプから出力されるパワースwitching素子直前のゲート信号を監視することにより、パワースwitching素子が破壊した場合、ゲート信号は素子を通して短絡状態になる場合が多く、送信側ではゲートオン信号を出しているにも関わらずゲート信号アンプから出力されるゲート信号がオンレベルにならないとき、ゲート帰還信号がオフとして送信側に帰還されるため、送信側でパワースwitching素子の破壊異常を検知することができる。

【0047】図14に示す請求項9に係る発明の実施の態様によれば、図6に示した請求項4に係る発明の実施の態様において、パワースwitching素子に供給される直前のゲート信号を監視し、ゲート信号オンにしているにも関わらずオンレベルにならないとき、ゲート帰還信号がオフとして送信側に帰還されるため、パワースwitching素子が壊れたことを送信側で検出することができる。

【0048】図15は請求項10に係る発明の実施の形態を示すものである。この実施の形態では、図1ないし14に示す実施の形態においてゲート信号を直列伝送するためにゲート信号データと同期クロック信号を分離して2本の信号伝送線で伝送していたが、本実施の形態においては、ゲート信号データに同期クロックデータを重畳し、データ信号を1本の信号伝送線C3で伝送するようにしたものである。図15の装置において、送信データの送信側出力端となるP-S変換回路12から出力されるゲート信号とタイミング生成回路13から出力される同期クロック信号を排他的論理和(EXOR)回路101に通してダイパルス変調信号を発生し、それをドライバ102及び1本の信号伝送線C3を介して受信側に伝送され、受信側でレシーバ103により受信される。この受信信号は同期クロック抽出回路104に導入される。同期クロック抽出回路104はPLL回路を内蔵しており、そこで同期フレーム送信期間にクロック成分を抽出して受信クロックを生成し、このクロックとゲート信号データを排他的論理和回路EXOR107を通すことによりゲート信号データを再生する。以下の信号処理は、図7の装置に準じて行われる。

【0049】図16は図15の装置におけるゲート信号データ伝送のタイムチャートを示すものである。図16に示すように、一連の送信データは同期フレームデータとゲート信号データからなり、時間軸におけるT0～T

14が同期フレームであり、T16～T40がゲート信号データである。P-S変換回路12から出力される送信データ(a)と、タイミング生成回路13から出力される同期クロック信号(b)をEXOR回路101に通すことによりダイパルス変調信号(c)を得る。なお、図には便宜上、本来得られるEXOR論理を反転した信号すなわち「一致信号」として示している。このダイパルス変調信号から同期クロック抽出回路104によりそれに同期した同期クロック信号(d)を再生し、この同期クロック信号とレシーバ103の出力すなわちダイパルス変調信号(c)とのEXORをEXOR回路107によって求めることにより、送信データを再生(e)することができる。このようにして再生された送信データ(e)には図16(a)に示すように同期フレームとゲート信号データが含まれている。

【0050】図15、16に示す装置においては、請求項1から9においてゲート信号を直列伝送するためにデータとクロックを分離して2本の配線で伝送していたが本発明はデータ信号にクロック成分を重畳させデータ信号を1本にしたものである。図13において送信データの出力と送信クロックを排他的論理和する回路EXOR(101)でダイパルス変調信号を発生する。またこれを受信する回路では同期フレーム送信期間でクロック成分をPLL回路で抽出し、受信クロックを生成し、このクロックとゲート信号データを排他的論理和回路EXOR(107)をとるとゲート信号データが再生する。

【0051】図15、16に示す請求項10に係る発明の実施の態様によれば、ゲート信号データにクロック信号を重畳することにより、両信号を1本の信号伝送線によって伝送することができ、ここに配線数の最少化を達成することができる。

【0052】

【発明の効果】ゲート信号を送信側から受信側へ伝送するのに従来3本以上の信号伝送線を用いていたが、本発明によれば2本または1本の信号伝送線で足りることになり、ここに省配線化を達成し、それに付随して回路の小型化を達成し、かつ誤配線によるパワースイッチング素子の破壊を防止することができる。

【図面の簡単な説明】

【図1】請求項1に係る発明によるパルス幅変調制御装置のブロック図。

【図2】図1の装置の要部の詳細を示すブロック図。

【図3】図1及び図2の装置の動作を説明するためのタイムチャート。

【図4】請求項2に係る発明によるパルス幅変調制御装置のブロック図。

【図5】請求項3に係る発明によるパルス幅変調制御装置のブロック図。

【図6】請求項4に係る発明によるパルス幅変調制御装置のブロック図。

【図7】請求項5に係る発明によるパルス幅変調制御装置のブロック図。

【図8】請求項5及び請求項6に係る発明に関連して伝送フレーム構成を説明する図。

【図9】請求項6に係る発明によるパルス幅変調制御装置のブロック図。

【図10】請求項7に係る発明を説明するタイムチャート。

【図11】請求項7に係る発明に関連してゲート信号のコード化を説明する図表。

【図12】請求項7に係る発明に関連してゲート信号の同期フレーム構成を説明する図。

【図13】請求項8に係る発明によるパルス幅変調制御装置のブロック図。

【図14】請求項9に係る発明によるパルス幅変調制御装置のブロック図。

【図15】請求項10に係る発明によるパルス幅変調制御装置のブロック図。

【図16】図15の装置の動作を説明するためのタイムチャート。

【図17】従来技術によるパルス幅変調制御装置のブロック図。

【図18】3レベル3相ブリッジインバータのゲート信号生成回路の一例を示すブロック図。

【図19】図18の装置の動作を説明するためのタイムチャート。

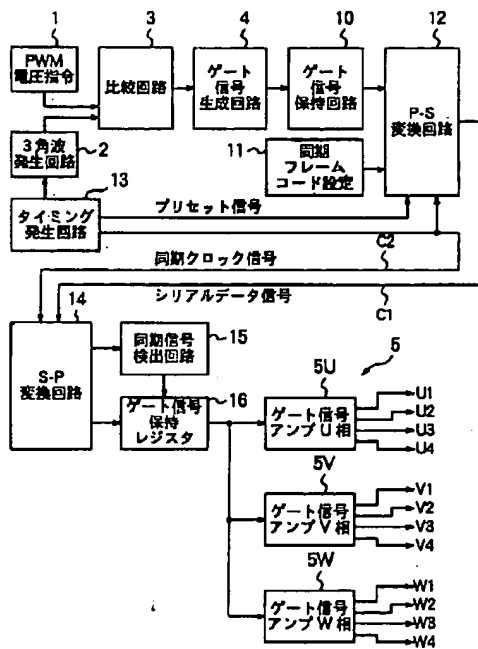
【符号の説明】

- 1 PWM電圧指令回路
- 2 三角波発生回路
- 3 比較回路
- 4 ゲート信号生成回路
- 5 ゲート信号アンプ
- 5U, 5V, 5W 各相別ゲート信号アンプ
- 6 3相ブリッジ形インバータ
- 10 ゲート信号保持回路
- 11 同期フレームコード設定回路
- 12 P-S変換回路
- 12a, 12b シフトレジスタ
- 13 タイミング発生回路
- 13a タイミング発生回路
- 13b 切換回路
- 14 S-P変換回路
- 14U, 14V, 14W 各相別S-P変換回路
- 14a, 14b シフトレジスタ
- 15 同期信号検出回路
- 15U, 15V, 15W 各相別同期信号検出回路
- 15a フレームコード検出回路
- 15b R/Sフリップフロップ
- 16 ゲート信号保持レジスタ
- 16U, 16V, 16W 各相別ゲート信号保持レジスタ

タ
40 S-P変換回路
41 データ比較回路
50 パリティ発生回路
51 ビットカウンタ
52 ゲートバッファレジスタ
52U, 52V, 52W 各相別ゲートバッファレジスタ
タ
53 パリティチェック回路
54 ビットカウントチェック回路
80U, 80V, 80W 各相別ゲート信号異常チェック回路

90 S-P変換回路
91 比較回路
92U ゲート信号帰還インターフェース
93U ゲート信号帰還レジスタ
94U, 94V, 94W 各相別P-S変換回路
101 排他的論理和 (EXOR) 回路
102 ドライバ
103 レシーバ
104 同期クロック抽出回路
105 排他的論理和 (EXOR) 回路
C1, C2 信号伝送線

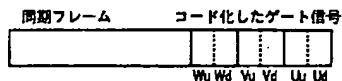
【図1】



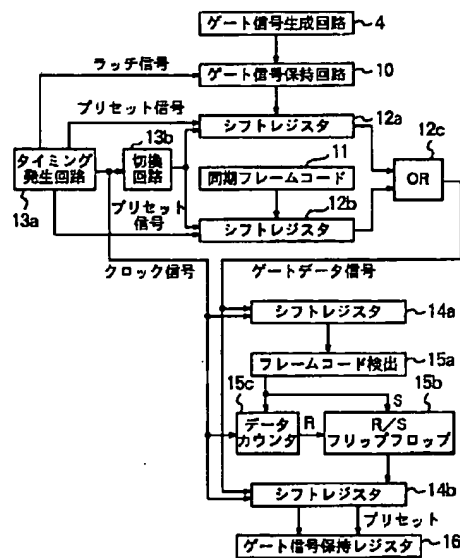
【図11】

	コード値	ビットコード
全ゲートオフ	0	00
0電圧 O	1	01
+電圧 P	2	10
-電圧 N	3	11

【図12】

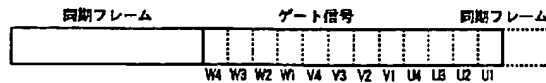


【図2】

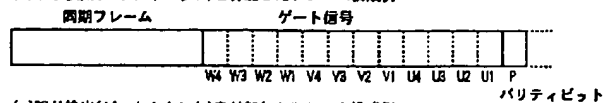


【図8】

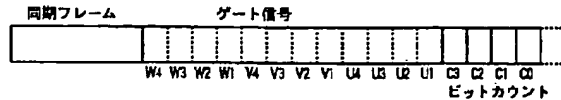
(a)基本フレーム構成



(b)誤り検出(パリティビット)を付加したフレーム構成例



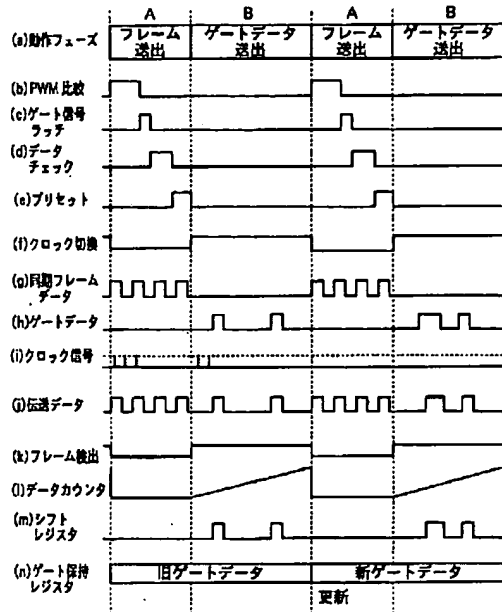
(c)誤り検出(ビットカウント)を付加したフレーム構成例



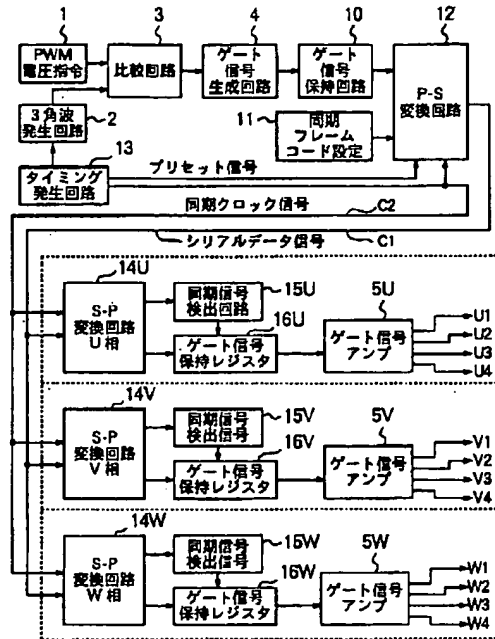
(d)各相が分散された場合の誤り検出(パリティビット)を付加したフレーム構成



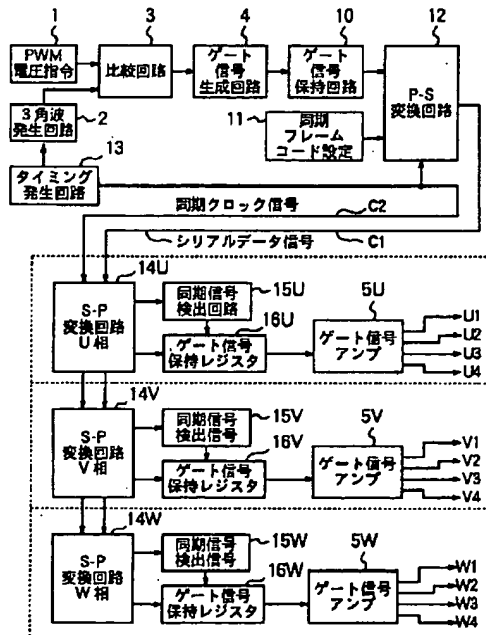
【図3】



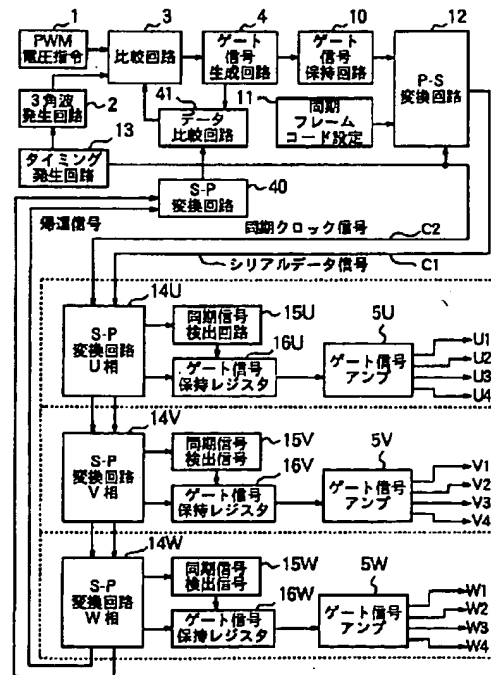
【図4】



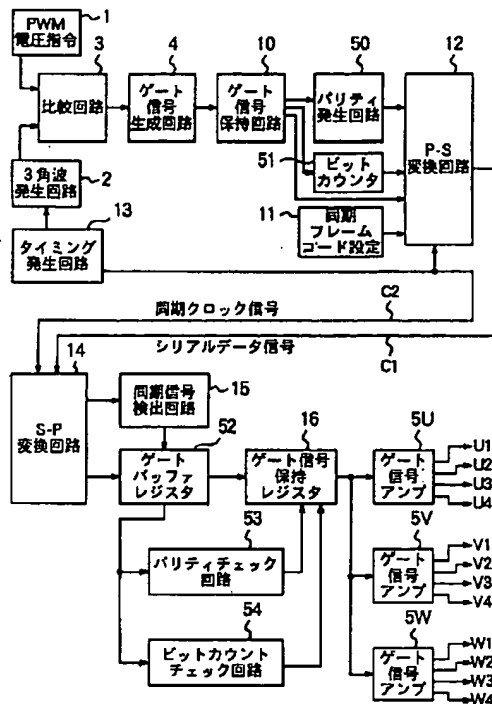
【図5】



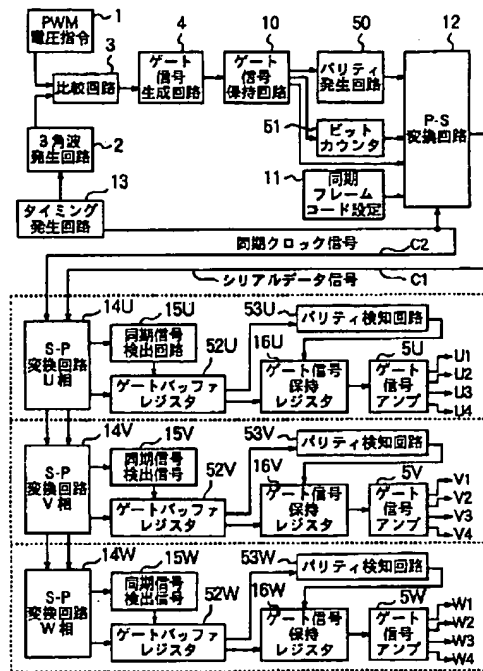
【図6】



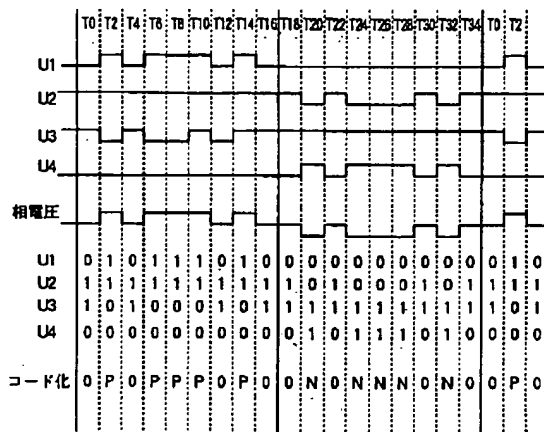
【図7】



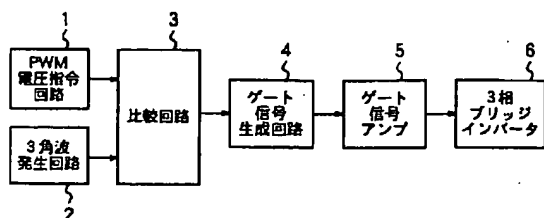
【図9】



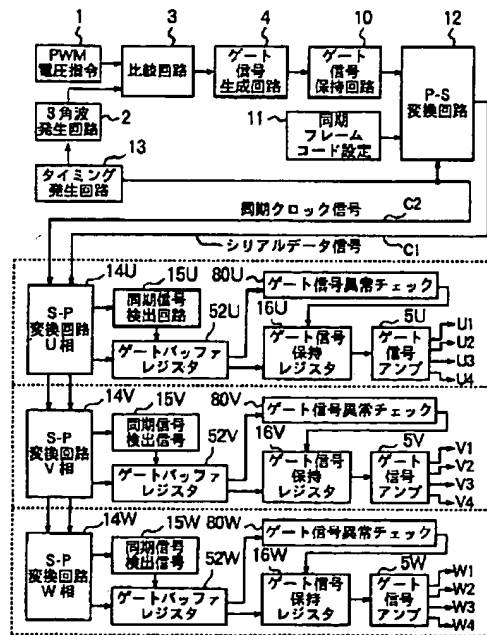
【図10】



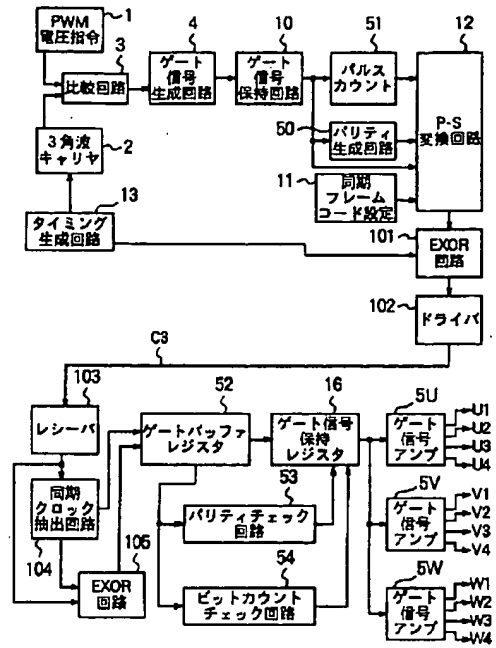
【図17】



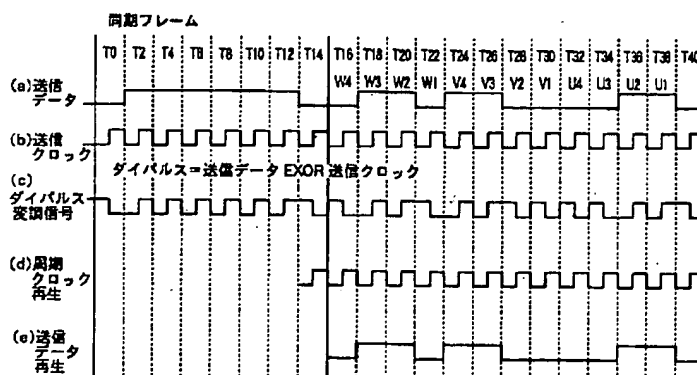
【図13】



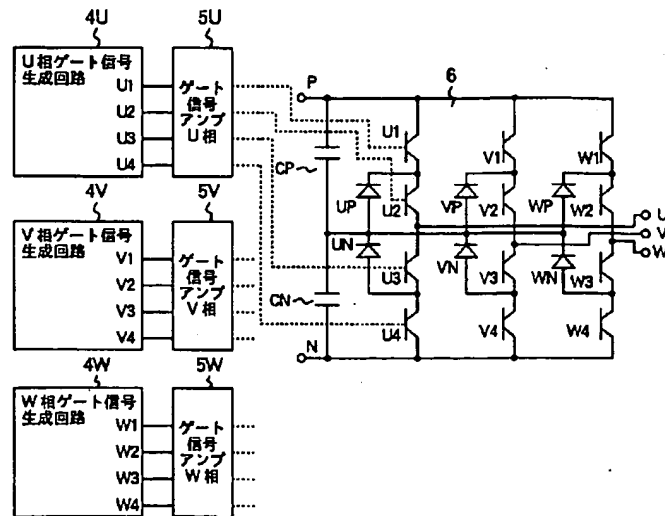
【図15】



【例 16】



【図18】



【図19】

